PATENT ABSTRACTS OF JAPAN

(11)Publication number:

10-199294

(43)Date of publication of application: 31.07.1998

(51)Int.CI.

G11C 29/00 G01R 31/28

(21)Application number: 09-351611

(71)Applicant:

TEXAS INSTR INC <TI>

(22)Date of filing:

19.12.1997

(72)Inventor:

CLINE DANNY R

POWELL THEO J

HII KUONG H

(30)Priority

Priority number: 96 33508

Priority date: 19.12.1996

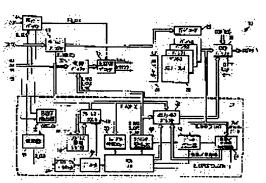
Priority country: US

(54) INTEGRATED CIRCUIT MEMORY DEVICE HAVING BUILT-IN SELF-TESTING CIRCUIT WITH MONITOR MODE AND TESTER MODE AND ITS OPERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit memory device having a self-testing monitor mode.

SOLUTION: A memory device 10 includes a memory array 26 having a plurality of memory cells and a built-in self-testing circuit 12 which is so connected as to receive a self-testing selection signal. When the memory device is in a self-tester mode, the built-in self-testing circuit 12 generates an internal self-testing signal and the memory array is operated for test. A data buffer 28 is so connected as to receive the internal self-testing signal and a monitor mode signal. When the memory device is in a monitor mode, the data buffer operates so as to connect the internal self-testing signal to the terminal of the memory device and supply the signal to the outside from the memory device. The operation of the built-in self-testing circuit can be verified by using a monitor object self-testing signal. Further, if the monitor object self-testing signal is used in the tester mode, other memory devices can be also tested.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(43)公開日 平成10年(1998)7月31日

> G01R 31/28

671B

G11C 29/00

671

G11C 29/00 G01R 31/28

(51) Int.Cl.

特金部次 未開次 部次項の数2 〇1 (全8 頁)

(21) 出數集中	特 國平9-351611	(71) 出國人 59000879	590000879
			アキサス インスツルメンツ インコーボ
(22) 出版日	平成9年(1997)12月19日		レイデッド
			アメリカ台衆国テキサス州グラス、ノース
(31)優先権主張番号	033508		セントラルエクスプレスウエイ 13500
(32)優先日	1996年12月19日	(72) 発明者	ダニー アール. クライン
(33)優先權主發因	米B(US)		シンガポール国カクタス ドライブ 16,
			ナンバー 04-01
		(72) 発明者	(72)発明者 テオ ジェイ、パウエル
			アメリカ合衆国テキサス州グラス、アール
			ポート サークル 15546
		(74)代理人	弁理士 找村 皓 (外3名)
			現林買に扱く

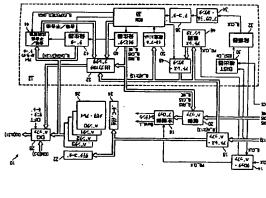
モニタ・モードおよびテスタ・モードを構えた内蔵自己検査回路を有する集積回路メモリ第子お よびその動作方法 (54) [発明の名称]

鳳題】 自己検査モニタ・モードを有する集積回路メ

モリ禁子を提供する。

に動作する。監視対象自己検査信号を用いて、内蔵自己 検査信号をテスタ・モードで用いると、他のメモリ衆子 セルを有するメモリ・アレイ(2.6)、および自己検査 (12)を含む。メモリ森子が自己検査モードにある場 合、内蔵自己検査回路は内部自己検査信号を発生しメモ **森子が自己検査モニタ・モードにある場合、データ・バ** 検査回路の動作検証が可能である。また、監視対象自己 謝択信号を受け取るように接続された内蔵自己検査回路 リ・アレイを動作させ検査するように動作する。データ ・パッファ(28)が、内部自己検査信号およびモニタ ・モード信号を受け取るように接続されている。メモリ ッファは内部自己検査信号をメモリ茶子の端子に接続し メモリ索子から外部に内部自己検査信号を供給するよう 【解決手段】 メモリ珠子(10)は、複数のメモリ・

の検査も可能となる。



[特許請求の範囲]

「請求項1】 集積回路メモリ案子であって、

セルに格納されているデータを表すアレイ出力個号を供 複数のメモリ・セルを有するメモリ・アレイであって、 て、前記メモリ・セル内にデータを格勒し、核メモリ アレイ・アドレス信号およびアレイ制御偕号に応答し 給するように動作可能な前記メモリ・アレイと、

メモリ索子が自己検査モードにある場合に、前記メモリ 前記メモリ桊子が自己検査モードにあるか否かを示す自 己検査選択個母を受け取るように接続されている内蔵自 己検査回路であって、内部自己検査信号を発生し、前記 ・アレイを作動させ検査するように動作可能な前配内蔵 自己検査回路と、 前配内部自己検査信号と、前記メモリ券子が自己検査モ ニタ・モードにあるか否かを示すモニタ・モード信号と を受け取るように接続されているデータ・バッファであ って、前配内部自己検査信号を前記メモリ案子の端子に 接続し、前記メモリ案子が自己検査モニタ・モードにあ る場合に、前記メモリ珠子から外部に前記内部自己検査 **信号を供給するように動作可能な前配データ・バッファ** と、から成る集積回路メモリ恭子。

前記メモリ索子が自己検査モニタ・モードにあることを 【肺水項2】 集積回路メモリ衆子に内蔵自己検査回路 示すモニタ・モード信号を受け取るステップと、 の監視を可能とするための動作方法であって、

節自己検査個号を監視可能とするステップと、から成る 自己検査モニタ・モードの指示に応答して、前配内蔵自 己検査回路が発生した内部自己検査信号を、前記メモリ 森子の端子に接続し、該端子から外部に接続し、前配内

[発明の詳細な説明]

[0000]

「発明の属する技術分野」本発明は、一般的に集積回路 メモリ紫子の分野に関し、更に特定すれば、モニタ・モ ードおよび検査・モードを備えた内蔵自己検査(BIS 奏子、およびかかるメモリ茶子の動作方法に関するもの T:bullt-in self test)回路を有する集積回路メモリ

[0002]

ることができる。メモリ森子では、BIST回路自体を 【従来の技術】内蔵自己検査 (BIST) 方式は、メモ リ森子を含む集積回路森子の動作を検査するために用い 検証するために用いられている従来の手法では、メモリ し、次いでメモリ・アレイ内のデータ値をチェックする ためにテスタに移行することを伴う。こうして、BIS Tの適正な動作の検証が可能となる。加えて、BIST 動作によって発生したメモリ・アレイ内のデータのあら ゆる変化も、適切な時点にBISTを中断することによ ・アレイの小部分(fraction)に対してBISTを実行 って検証することができる。このBIST検証手法

14. *A BIST Scheme Using Microprogram ROM for Larg e Capacity Memories" 1990 International Test Confe 従来の集積回路によって用いられている。13131回路 を検証するための他の手法には、スキャン(scan)を用い ためのデータを圧縮することが含まれ、後に、それぞれ るか、あるいはサイン(signature) に対する内部検査の rence, 第815~822頁に記載されているような.

[0003]

ことができる。

予想スキャン・データまたは予想したサインと比較する

モリ報子の従来のBIST方式の問題および欠点の大幅 な減少または解消を図るものであり、モニタ・モードお 回路を有する集積回路メモリ案子を提供することを目的 、発明が解決しようとする瞑題】本発明は、集積回路メ よびテスタ・モードを備えた内蔵自己検査(BIST)

[0004]

に、自己検査選択信号を受け取るように接続されている ば、自己検査モニタ・モードを有する集積回路メモリ紫 を動作させ検査するための内部自己検査信号を発生する 焼されている。データ・バッファは、メモリ素子が自己 **トリ教子の塩子に接続し、メモリ教子から外部に内部自** 子が提供される。このメモリ索子は、複数のメモリ・セ 内蔵自己検査回路を含む。内蔵自己検査回路は、メモリ ように動作可能である。内部自己検査信号およびモニタ ・モード信号を受け取るように、データ・バッファが後 検査モニタ・モードにある場合、内邸自己検査信号をメ **発子が自己検査モードにある場合には、メモリ・アレイ** 「瞑題を解決するための手段」本発明の一態様によれ ルを有するメモリ・アレイを含む。メモリ森子は、更 己検査信号を供給するように動作可能である。

【0005】本発明の別の態様によれば、内蔵自己検査 回路の監視を可能にするための、集積回路メモリ君子の が自己検査モニタ・モードにあることを示すモニタ・モ **端子は、外部に接続し、内部自己検査信号を監視するた** 動作方法が提供される。メモリ素子は、当該メモリ素子 一ド信号を受け取る。次に、内蔵自己検査回路によって 発生された内部自己検査信号は、自己検査モニタ・モー ドの指示に応答して、メモリ森子の端子に接続される。 めに使用可能となっている。

取るようにしている。内蔵自己検査回路の自己検査プロ 【0006】本発明の更に別の超様によれば、内蔵自己 個号は、第1メモリ禁子の端子に接続される。第1メモ セスを実行し、自己検査信号を用いて第2メモリ衆子を **資査する。次に、第2メモリ森子の検査結果を示す、合 積回路メモリ索子を検査する方法が提供される。 第1メ** モリ恭子内の内蔵自己検査回路が発生する内部自己検査 り恭子の塩子は第2メモリ紫子の塩子に接続され、第2 メモリ紫子が第1メモリ森子からの自己検査信号を受け 検査回路を有する他の集積回路メモリ素子を用いて、

3

1 × 2

特開平10-199294

3

格/不合格信号を発生する。

[0 0 0 7] 本発明の技術的利点は、銀種回路メモリ兼子の出力繊子を多重化することによって、外部出力繊子上に選択信号が得られるようにし、BIST回路内部のかかる信号を監視可能とした点にある。

[0008] 本発明は、テスタ・モードにおいて監視対象信号を用いて、他の集積回路メモリ茶子の検査を可能にするという他の技術的利点も提供する。

[0009]本発明およびその利点は、添付図面との配理において以下の提明を参照することによって、一種深く理解することがなって、一種深く理解することができょう。 尚、図面では、同様の参照毎時は回接の構造を示すものとする。

には、通常、クロック、RAS、CAS、WE、データ、CS およびアドレス信母のような多数の検査信号を必要とす **報子の出力端子上で監視することができる。これによっ** 【発明の実施の形態】従来のテスタによってDRAMお よびSDRAMのような集積回路メモリ茶子を検査する る。本発明の教示によれば、かかる信号は、内蔵自己検 モードでBIST回路を用いるだけでなく、BIST回 モリ森子を検査するために用いられるのと同じ信号であ るからである。本発明によれば、815丁回路を有する 回路を有するメモリ・チップにコマンドを発行し、他の システム・メモリ・チップを検査することによって、シ **並(BIST)回路によって発生され、集積回路メモリ** て、他の集積回路メモリ森子を検査するためのテスタ・ 路の動作の監視も可能となる。テスタ・モードが可能な のは、監視対象の信号が、その他の場合には集積回路メ メモリ・チップをシステムに含ませることや、BIST ステム・メモリを検査することも可能である。

(0011)図1は、本発明の教示による、モニタ・モードを協えた内蔵自己検査回路12を有する集種回路メモリ菓子の一央施例のプロック図である。集積回路メモリ菓子は、全体として10で示してある。通常動作モードでは、メモリ菓子10は、外部クロックや、アドレス、RAS、CAS およびWEを含む制御信号を受け取り、従来のメモリ・アレイと同様に機能する。しかしながら、内蔵自己検査モニタ・モードでは、815 下回路12がメモリ乗子10の出力結子にある監視検査信号を供給するように動作可能となる。モニタ・モードの間、検査信号は出力結子印の031と多選化し、815 下モニタ・モード遊択信号を用いてこれらを選択することによっ

号は出力端子(DQ0:31)と多度化し、BISドモニタ・モード遊灯信号を用いてこれらを選択することによって、メモリ雑子10から出力される。図2は、外部入出力(1(1) 端子にインターフェースする従来のDQバッファの前に配したマルチブレクサ回路の一块筋剛を示す。メモリ雑子10が通常モードにある場合、通常DQイネーブル信号は論理高であり、DQバッファは内部メイネーブル信号は論理高であり、DQバッファは内部メイネーブル信号は論理高であり、DQバッファは内部メ

部からの信号に接続されている。

は制御信号RAS, CASおよびWEを受け取る。次に、主制御 タ・モード選択信号DFT MONITOR MODEを受け取る。こ に供給され、一方DQパッファ28は出力データを出力 B1ST回路12から、多重化信号DQM(0:3)および監視 対象信号を受け取る。更に、DQパッファ28は、モニ 1 4を含むことができ、クロック・バッファ 1 4 がクロ ック信号CLK を受け取る。アドレス・バッファ18はア ドレス・データA(0:13) を受け取り、制御バッファ20 および制御パッファ20からの信号を受け取る。アドレ ス・パッファ18は、メモリ・セル26内部のセルを避 択するために、アドレス・データを行デコーダ22およ び列デコーダン4に供給する。リード・モードでは、メ モリ・アレイ26からの出力データはDQパッファ28 の信号は、出力猶子DQ(0:31)が、メモリ・アレイ16か らのデータまたは131、11回路12内の監視対象信号か らのゲータのどちらを供給しているのかについて判定を 0の従来のメモリ・アレイ動作は、クロック・バッファ 【0012】図1の実施例に示すように、メモリ報子1 プロック16は、クロック・バッファ14からの信号、 端子DQ(0:31)に供給する。また、DQパッファ28は、

BIST検出器30を含む。発振器32がクロック信号 をクロック・パッファ 1 4 およびプログラム・カウンタ 0が813Tモードにあるか否かについてチェックを行 い、発振器32は、内部検査のため、ならびにモニタお よびテスタ動作のために、内部BISTクロックを発生 ROM38からのどのワードを指示してROM38内に 格納されている検査アルゴリズムを実行するかについて の選択を行う。タイミング発生器40は、RON38か らの信号を受け取り、メモリ・アレイの検査の間用いる ための検査信号を制御パッファ28に供給する。 一東施 例では、タイミング発生器40は、検査動作に適した3 **つのタイミング・セットの内 I つを選択することができ** る。デーク発生回路42は、検査のためにどのデータを メモリ・アレイ26が正しく検査したか否かについて判 26のサブセットを検査可能にするための、アドレス範 用レジスタ46も含む。アドレス・カウンタ18は、検 査中に使用するためのアドレス倡导を、アドレス・バッ 定の検査モードの間にどの検査がイネーブルされたのか アドレス・データA(0:13) および制御信号CSを受け取る 34に供給する。BIST検出器30は、メモリ素子1 **定を行う。更に、BIST回路12は、メモリ・アレイ** ファ18および出力マルチプレクサ52に供給する。イ ネーブル検査ユニット(enabled test unit) 50は、特 する。プログラム・カウンタ34および検出器36は、 に、そのデータを合格/不合格比較回路14に供給し、 [0013] 図1の奥施例では、B1ST回路12は、 メモリ・アレイ26に事き込むべきかを決定すると共

適切な検査アルゴリズムを奥行可能とする。

[0014] 更に、81% T回路12は、多風化信号を DQバッファ28に供給する出力マルチプレクサ52も 含む。出力マルチプレクサ52は、81% T回路12か らの監視対象信号をDQバッファ28に供給するように 動作し、これらの信号を監視すると共にメモリ素子10 外部で使用できるようにする。出力マルチプレクサ52 が図示の実施例で使用されるのは、81% T回路12内 部で監視可能な信号の数が、DQバッファ28からの使 用可能な出力端子の数を上回るからである。使用可能な 出力端子が多い場合、出力マルチプレクサ52は不要で あることは理解されよう。かかる場合、81% T回路1 2内の全てのキー信号は、メモリ珠子10の別園の端子において監視および供給が可能となる。

モード選択信号DFT MONITOR MODEによって、オンまたは を含む。通常のDQバッファ62は多重化信号DQM(0:3) ス・ゲート64は、通常DQイネーブル信号NORMAL DQ S、WE、CLK、データ、合格/不合格、および終了信号 る。セレクタ回路60は、パス・ゲート64、反転器6 示のように、監視対象値号は、アドレス信号、RAS、CA モードまたはモニタ・モードが選択可能であるが、双方 8は、セレクタ回路60および通常のDQパッファ62 ・ゲート64は、メモリ・アレイ26および通常のDQ パッファ62間でデータを伝達する。図示のように、パ オフに切り替えられる。パス・ゲート68は、B15丁 回路12および通常のDQパッファ62間で情報を伝達 する。図示の東施例では、BIST回路I2からの出力 は、出力マルチプレクサ52によって受け取られる。図 を含むことができる。メモリ粽子10の動作の間、通常 [0015] 図2は、本発明の教示によるDQパッファ 28の一変施例を示す。図示のように、DQパッファ2 6、パス・ゲート68、および反転器70を含む。パス ENABLEに基づいて、オンまたはオフに切り替えられる。 同様に、パス・ゲート68も、図示のように、モニタ・ を受け取り、出力端子上に出力信号DQ(0:31)を発生す を選択することはできない。

(0016)図3は、本発明の教示による、テスタ・モードを備えた815年回路を有する集積回路メモリ森子の一実施例のプロック図である。図3に示すように、第1メモリ森子80は1815年回路を含む。メモリ森子80は、図示のように、検査指导RAS、CAS、WE、アドレス・データ、ライト・データ、および予測データを供給する。これらの信号は、図1および図2に関して説明したように、815年回路内部からの監視対象信号である。第2メモリ森子82は、メモリ森子80によって検査されるメモリ森子82は、メモリ森子80から検査信号を多。メモリ森子82は、メモリ森子80から検査信号を多。メモリ森子82は、メモリ森子80から検査信号を多い、まれらの信号に基づいて検査される。

【0017】次に、メモリ案子82からの出力データが、個数データ比較器84および奇数データ比較器86

を記憶し、信号をROM38に供給することによって、

号は輪型低であり、DQパッファはBIST回路12内

モリ・アレイに接続されている。メモリ案子!0が31 STモニタ・モードにある場合、通常DQイネーブル信

JAWRITEDATA1は、検査のためにメモリ装予82に書き込 ドレス信号である。ライト・データ信号WRITEDATA0およ ると、メモリ素子80は、メモリ素子82が合格したか 否かを示す合格/不合格信号PASS.FAILを供給する。図 3の英語例によれば、RAS、CAS、WE、およびクロック まれるデータである。2つのデータ値があるので、奇数 を用いることができる。偶数データ比較器81は、偶数 出力端子について、メモリ森子82からのデータ値と予 80の別の塩子に入力される。メモリ素子80はこの枯 果を組み合わせ、メモリ発子82に対する合格/不合格 結果を出力する。あるいは、NIおよびN2を組み合わせた **結果は、メモリ森子80外部で組み合わせることも可能** は、メモリ繋子80内のBIST回路からのメモリ・ア メモリ・セルおよび偶数メモリ・セル間の交替パターン は、それぞれ、偶数および奇数結果であり、メモリ素子 剛値とを比較する比較器である。奇数データ比較器86 は、奇数出力縊子について、メモリ棋子82からのデー 夕値と予測値とを比較する比較器である。(博母NI, N2 信号は波形であり、制御信号およびADDR0-ADDR13信号 に供給され、出力データを予測データと比較する。次 に、信号NIおよびN2がメモリ案子80に返送される。

[0018] 図 1は、本段明の教示による、複数のシステム・メモリ・チップを検査するために用いられる、テスタ・モードを悩えた内臓自己検査回路を有する集領回路メモリ森子の一英語例のプロック図である。 図示のように、メモリ森子90は、施数のシステム・メモリ森子92を検査するために用いることができる。システム・メモリ森子92は内蔵自己検査回路を有する必要はない。メモリ難子92は内蔵自己検査回路を有する必要はない。メモリ選択シーケンサ93を用いて、現在検査中のいずれかのメモリスキ92に対して、メモリスキ92に対して、メモリスキラ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスキョ2に対して、メモリスをあると

【0019】マルチプレクサ94、96、98は、メモ 象帽号を選択的に、検査対象のメモリ票子92に接続で きるようにする。メモリ検査ユニット100は、通常の クロック、アドレス信号およびデータ、ならびにメモリ う。次に、偶数データ比較器102および奇数データ比 モリに関する合格/不合格信号を供給する。図4の奥施 別は、内蔵自己検査回路を有するメモリ紫子90をシス テム内に埋め込み、自己検査コマンドに応答してメモリ 紫子 9 0 が他のメモリ 粽子 9 2 を検査できるようにした ものである。メモリ選択シーケンサ93は、検査対象の 号を供給する。次に、メモリ発子90は、検査対象のメ メモリ森子り2を選択し、各メモリ森子92上で選択僧 J校産ユニット100が、メモリ素子90からの監視対 校器101が、検査対象のメモリ発子92からのデータ を予測データと比較し、メモリ森子90に結果を示す僧 **条子90から到達するこれらと同じ信号間で選択を行**

9

特開平10-199294

母CSを用いて1つの案子を選択する。メモリ選択シーケ ンサり3は、どのメモリ発子り2が、メモリ株子90か らのテスタ信号および比較器102.101への出力デ ータを使用すべきかについて制御を行う。

特許請求の範囲によって規定される本発明の精神および 節囲から逸脱することなく、髄々の変更、代用および改 【0020】以上、本発明について詳細に説明したが、 造が本発明には可能であることは理解されよう。

【0021】以上の説明に関して、更に以下の項を開示

信号およびアレイ制御信号に応答して、前記メモリ・七 (1) 集積回路メモリ森子であって、複数のメモリ・セ ルを有するメモリ・アレイであって、アレイ・アドレス ように接続されている内蔵自己検査回路であって、内部 るように動作可能な前配内蔵自己検査回路と、前配内部 自己検査信号と、前記メモリ森子が自己検査モニタ・モ るように接続されているデータ・パッファであって、前 に、前記メモリ紫子から外部に前記内部自己検査信号を ル内にデータを格制し、抜メモリ・セルに格納されてい るデータを投すアレイ出力信母を供給するように動作可 皓な前記メモリ・アレイと、前記メモリ衆子が自己検査 モードにあるか否かを示す自己検査選択信号を受け取る ドにある場合に、前記メモリ・アレイを作動させ検査す 一ドにあるか否かを示すモニタ・モード倡号とを受け取 自己検査信母を発生し、前記メモリ券子が自己検査モー 即内部自己検査信号を前配メモリ珠子の猶予に接続し、 前記メモリ森子が自己検査モニタ・モードにある場合

(2) 前記メモリ森子から外部に供給される前配内部自 己検査信号は、テスタに接続され、前配内蔵自己検査回 (3) 前記メモリ発子から外部に供給される前記内部自 己検査信号は、第2メモリ素子に接続され、前配第2メ モリ君子の動作を検査する第1項配載の集積回路メモリ 路の動作を検証する第一項記載の集積回路メモリ茶子。

(4) 前配データ・バッファは、前配内部自己検査信号 を前記メモリ森子のデータ端子に接続するように動作可 能である第1項記載の集積回路メモリ茶子。

査モードにある場合に、前記メモリ・アレイを動作させ 不合格信号を含み、前記内部メモリ・アドレス信号、制 御信母、およびデータ信号は、前記メモリ紫子が自己検 るために用い、前配内部合格/不合格信号は自己検査の 母、制御信母、およびデータ信母、ならびに内部合格/ (5) 前配自己検査信号は、内部メモリ・アドレス信 **結果を示す、第1項記載の集積回路メモリ森子。**

(6) 前記内藏由已検査回路は、前記内部メモリ・アド クサを悩えており、前記出カマルチプレクサは、前配内 不合格信母を受け取るように接続された出力マルチプレ レス信号、前記内部メモリ制御信号、および前配合格/

部メモリ・アドレス信号、前配内部メモリ制御信号、お **索子のデータ・パッファに接続するように動作可能であ** よび前配合格/不合格信号の一部を選択し、前記メモリ る、第5項記載の集積回路メモリ紫子。

回路の監視を可能とするための動作方法であって、前記 モニタ・モード信号を受け取るステップと、自己検査モ ニタ・モードの指示に応答して、前配内蔵自己検査回路 【0022】(7) 集積回路メモリ森子に内蔵自己検査 メモリ案子が自己検査モニタ・モードにあることを示す が発生した内部自己検査信号を、前記メモリ衆子の端子 に接続し、鼓端子から外部に接続し、前配内部自己検査 **倡母を監視可能とするステップと、から成る方法。**

(8) 前記メモリ素子の端子をテスタに接続し、前配監 視された内部自己検査信号に基づいて、前配内蔵自己検 **歯回路の動作を検証するステップを更に含む第7項記載**

(9) 前記接続するステップは、前配内部自己検査信号 を前記メモリ紫子のデータ端子に接続するステップを含 む第7項記載の方法。

号、制御倡号、およびデータ倡号は、前記メモリ衆子が (10) 前配内部自己検査信号は、内部メモリ・アドレ ス信号、制御信号、およびデータ信号、ならびに内部合 **自己検査モードにある場合に、メモリ・アレイを動作さ** せるために用い、前配内部合格/不合格倡号は自己検査 格/不合格信号を含み、前配内部メモリ・アドレス債 の結果を示す、第7項記載の方法。

(11) 前記接続するステップは、前記内部メモリ・ア ドレス信号、前記内部メモリ制御信号、および前記合格 / 不合格信号の一部を前記メモリ茶子の前記端子に接続 するステップを含む第9項記載の方法。

供給するように動作可能な前配データ・パッファと、か

ら成る集積回路メモリ茶子。

【0023】(12)内蔵自己検査回路を有する他の集 間回路メモリ案子を用いて集積回路メモリ案子を検査す る方法であって、第1メモリ素子内の内蔵自己検査回路 によって発生された内部自己検査信号を、前記第1メモ **丿恭子の端子に接続するステップと、前記第1メモリ恭** 子の前配端子を第2メモリ森子の端子に接続することに よって、前配第2メモリ森子が前配第1メモリ森子から 前配自己検査信号を受け取るステップと、前配内蔵自己 検査回路の自己検査プロセスを奥行し、前配自己検査信 前配第2メモリ森子を検査した結果を示す合格/不合格 **個号を供給するステップと、から成ることを特徴とする** 母を用いて前記第とメモリ森子を検査するステップと、

前記第2メモリ索子にデータを審き込むステップと、前 配第2メモリから競み出した前記データを予測データと (14) 前配比較するステップは、前配第1メモリ報子 記算2メモリ森子からデータを競み出すステップと、前 (13) 前記自己検査プロセスを実行するステップは、 比較するステップと、から成る第12項記載の方法。

の外部において行われる第13項記載の方法。

(15) 前配比較するステップは、前配第1メモリ森子 内部において行われる第13項記載の方法。

プ、前配実行するステップ、および前配供給するステッ プを繰り返し行い、複数のシステム・メモリ素子を検査 (16) 前配接続するステップ、前配接続するステッ する第12項記載の方法。

プ、前配実行するステップ、および前配供給するステッ プは、システム・メモリ検査プロセスの制御の下で行わ (17) 前配接続するステップ、前配接続するステッ れる第16項記載の方法。

(18) 前記第2メモリ恭子は内蔵自己検査回路を有す る第12項記載の方法。

【0024】(19) 自己検査モニタ・モードを有する ・モードにある場合に、内部自己検査信号をメモリ案子 は、複数のメモリ・セルを有するメモリ・アレイ26を 含む。メモリ茶子10は、更に、自己検査選択信号を受 内蔵自己検査回路12は、メモリ素子10が自己検査モ **ードにある場合に、内部自己検査信号を発生しメモリ・** データ・パッファ28が、内部自己検査信号およびモニ タ・パッファ28は、メモリ森子10が自己検査モニタ 10の猶予に接続し、メモリ報子10から外部に内部目 己検査個号を供給するように動作可能である。監視対象 自己検査信号を用いて、内蔵自己検査回路12の動作検 **炡が可能である。また、監視対象自己検査信号をテスタ** ・モードで用いると、他のメモリ森子の検査も可能とな タ・モード倡号を受け取るように接続されている。デー 集積回路メモリ紫子10を提供する。メモリ紫子10 け取るように接続された内蔵自己検査回路12も含む。 アレイ26を動作させ検査するように動作可能である。

[図面の簡単な説明]

[図1] 本発明の教示による、モニタ・モードを備えた **内蔵自己検査回路を有する集積回路メモリ森子の一英瓶** 例のプロック図。 【図2】本発明の教示による、モニタ・モードを備えた 内蔵自己検査回路を有する集積回路メモリ素子の一実施 【図3】本発明の教示による、テスタ・モードを備えた **均蔵自己検査回路を有する集積回路メモリ・チップの一** 英簡例のプロック図。

【図4】 本発明の教示による、複数のシステム・メモリ チップを検査する際に用いるテスタ・モードを備えた

内蔵自己検査回路を有する集積回路メモリ索子の一英語 列のプロック図。

[符号の説明]

(1) 集積回路メモリ報子

14 20-2-11-7 2 内藏自己検查回路

16 主制御ブロック

18 7 F L Z · K " J Z

20 制御バッファ

22 行デコーダ

21 列デコーダ

26 Xモリ・アレイ

28 DQ// 77

34 プログラム・カウンタ

36 検出器

38 ROM

10 タイミング発生器

データ発生回路 ?

4.4 合格/不合格比較回路

46 アドレス範囲レジスタ

48 アドレス・カウンタ

50 イネーブル検査ユニット

52 出力マルチプレクサ

60 セレクタ回路

62 DQ// "77

64 パス・ゲート

66 反転器

68 MZ·ゲート

第1メモリ報子 7 () 反配器 Э Ж

第2メモリ報子 ? æ

84 偶数データ比較器

8 6 奇数データ比較器

90 メモリ報子

92 システム・メモリ森子 9.3 メモリ選択シーケンサ

94. 96. 98 7N+1V4

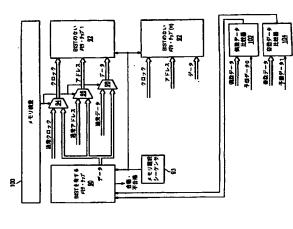
100 メモリ検査ユニット 102、104 比較器

特開平10-199294

3

[| | |

[図4]



フロントページの税を

(72)発明者 クオン エィチ・ヒイ アメリカ台衆国テキサス州マーフィ、サン セット ドライブ 174

[⊠3]

[図5]

